データセンター向け 先端半導体パッケージング技術：コパッケージドオプティクス

ユーハン・チャン

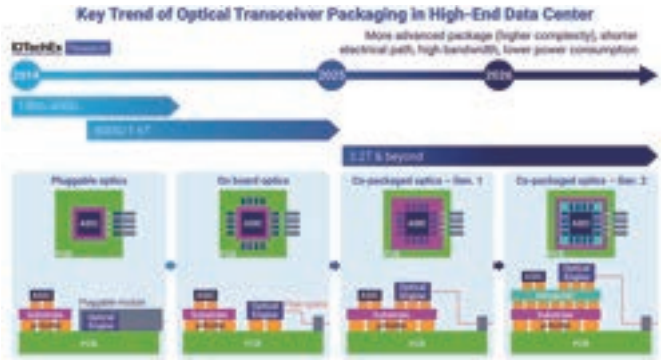
米エヌビディア社（NVIDIA）が開発した世界初の3D積層シリコンフォトニクスエンジンの中核となるのは、先端パッケージング技術のコパッケージドオプティクス（CPO）である。

人工知能（AI）とハイパフォーマンスコンピューティング（HPC）の需要に押され、先端半導体パッケージング、フォトニクス、そしてネットワークという3つの主要な領域が1つにまとまるという画期的なことが起きている。この変革の中核を成すのがCPOである。これは、光学機能と電子機能を同一パッケージに統合することで、処理装置とネットワークデバイス間のデータ転送速度とエネルギー効率を向上させる。

従来型アーキテクチュアの限界

64個の400Gbps、または32個の800Gbpsプラグ着脱可能な光トランシーバモジュールの導入により、過去10年でデータセンタースイッチの容量は、0.64Tbpsから25.6Tbps以上に急増した。しかし、プリント基板（PCB）のエッジに配置されるこれらの着脱式光トランシーバは、消費電力、シグナルインテグリティ、フォームファクタの制約の点で限界に近づいている。800Gbps以上の次世代光エンジンをサポートするには、1レーンあたり最低でも100Gbpsにしなければならず、通信速度を上げるとスイッチソケット、マザーボード、コネクタ各所でシグナルインテグリティの劣化の問題が深刻化し、シリアライザ／デシリアライザ（SerDes）の消費電力が増加する。将来のイーサネットスイッチでは、入出力（I/O）の消費電力がスイッチ主要部の消費電力を上回る可能性があり、QSFP/OSFPモジュールの密度制約を受けるため、高度な熱管理ソリューションが必要になるということが新たな課題となっている。

このような課題に対して、業界では光エンジンをスイッチの特定用途向け集積回路（ASIC）に近づけて、銅配線を短くするという大きな変化が起こった。フロントパネル・プラガブルは依然として主流だが、1.6Tや3.2Tのシステムに拡張すると、大幅な効率低下を招きかねない。CPOはこの問題の解決策である。



ハイエンドデータセンターにおける光トランシーバの主なトレンド（出典：アイディーテックエックス社）

CPO：オプティクス、パッケージ、ネットワークの融合

CPOは、光トランシーバをスイッチやダイの隣あるいは上に配置して1つのパッケージにしたものである。これにより、電気チャネル長が大幅に短縮され、信号劣化が最小限に抑えられ、SerDesの消費電力が削減され、帯域幅密度が向上する。

最近の実装では、従来のプラグ着脱式モジュールと比較して30～50%の消費電力の削減が報告されている。銅線の距離を短縮することで、設計者はSerDesの消費電力をさらに下げるか、高速銅線ドライバを完全に不要とするかして、AI中心のデータセンター向けに、よりスケーラブルなアーキテクチュアを実現できる。

これはネットワークに大きな影響を与える。エヌビディア社のDGX NVL72 AIサーバーのようなシステムでは、NVLinkスイッチを介してコンピューティングノードを相互接続するために5000本以上の銅線が使用され、シグナルインテグリティに膨大な負担がかかる。リタイマーが必要になり、

レイテンシが増加し、サーマルバジェットが大きくなる。 英アイディーテックエックス社（IDTechEx）は、次世代アーキテクチュアでは、銅線のバックプレーンネットワークをコンピューティングノード間の直接光接続に置き換えることで、このようなスイッチが完全に不要になると予測している。それを促進するのがCPOなのである。

先端半導体パッケージングの役割

先端半導体パッケージングは、光集積回路（PIC）と電子集積回路（EIC）で構成される光エンジン（OE）を、スイッチASICまたは拡張処理ユニット（XPU）とともに単一のパッケージ基板上に統合できるようにすることで、CPOを実現する上で中心的な役割を果たす。CPOのパッケージング戦略は、一般的に2つのカテゴリーに分類される。1つは光エンジンのスタンドアロンパッケージングに重点を置き、もう1つはASICやXPUなどの高性能ICとシステムレベルで共統合することである。どちらの場合も、必要な密度、帯域幅、および電力効率を実現するために、先進的な2.5Dおよび3D半導体パッケージング技術の導入が必要である。アイディーテックエックス社の最新レポート「コパッケージドオプティクス2025～2035：技術、市場、予測」では、さまざまなパッケージング技術がCPOの異種統合をどのように発展させるかを詳細に分析している。

CPOは、PICとEICをシリコン貫通ビア（TSV）を介してインターポーザーに実装する2.5D統合などの技術に依存している。従来の2D統合と比較して、この構成ではマイクロバンプや銅ピラーによって寄生成分が低減されるため、I/O密度と帯域幅の向上が実現する。インターポーザーには導波路層を組み込むことで光信号ルーティングを強化することもできる。2.5D統合は2Dよりも高度だが、コストが高く、3D統合よりも寄生成分が大きいため、一部のハイエンドアプリケーションでは性能が制限される。

3Dハイブリッドボンディングは、TSV、高密度ファンアウト、Cu-Cuハイブリッドボンディング、フォトニックインターポーザーなどの技術を利用して、PICの上にEICを垂直に積み重ねる、より高度なアプローチを採用している。この方法は、寄生成分を大幅に削減し、ファインピッチ相互接続をサポートし、パフォーマンスを向上させる。ただし、EICから発生する熱が下層のPICに影響を及ぼすため、熱に関する課題が生じ、高度な冷却ソリューションが必要になる。Cu-Cuハイブリッドボンディングは、次世代CPO設計に不可欠な超高密度で低損失の相互接続を可能にする可能性を秘めている。台湾のTSMC社は、エヌビディア社と共同で世界初の3D積層シリコンフォトニックエンジンを実現し、SoIC-X技術とCOUPE（Compact Universal Photonic Engine）技術を通じて、この開発の最前線に立っている。これらの革新的な技術は、エヌビディア社のSpectrum-XおよびQuantum-Xプラットフォームで実証されている。これらのプラットフォームは、コンパクトで熱効率に優れたCPOベースのネットワークスイッチで最大400Tbpsの帯域幅を提供する。

このような統合アプローチは大きなメリットをもたらす一方で、新たな課題も生み出す。例えば、精密な光学系アライメント、低損失導波路の統合、高密度に実装された光部品と電子部品の効率的な熱管理などは、いずれも対処すべき重要な課題である。製造の複雑さ、材料の適合性の問題、そして新たな試験方法の必要性は、スケーリングをさらに複雑にしている。安心して大量に導入するには、電気、光、熱の要件のバランスを取ることが不可欠である。

CPO：12億ドル規模の市場機会拡大

CPOは、概念から実証へと急速に進展し、商用化に近づいている。エヌビディア社、シスコ社（Cisco）、ブロードコム社（Broadcom）、インテル社（Intel）、ラノバス社（Ranovus）などの企業が先進的なプロトタイプを展示しており、エヌビディア社は2026年までにCPOベースのネットワークスイッチプラットフォームを発売する予定である。ファウンドリ、半導体後工程受託企業（OSAT）、光ファイバモジュールサプライヤー、AIインフラプロバイダーなど、連携したエコシステムが形成されつつある。

アイディーテックエックス社は、CPO市場が2035年までに12億ドルを超え、2025年から2035年にかけて年平均成長率（CAGR）28.9%で成長すると予測している。CPO対応スイッチがこの売上高の大部分を占めるが、AIアクセラレーター向けの光インターコネクトが市場の約20%を占めると予想されている。ハイパースケーラーやコンピューティングベンダー全体で光I/Oの採用が急速に拡大すると予想される中、CPOはスケーラブルでエネルギー効率が高く、高性能なインフラの未来の礎となるだろう。

著者紹介
ユーハン・チャンは、アイディーテックエックス社（IDTechEx）の主席テクノロジーアナリスト。同社は、先端技術とその市場に関する信頼できる独立した調査を行っている。
e-mail：research@idtechex.com
URL：www.idtechex.com

LFWJ