

半導体チップの微細化に挑む EUVリソグラフィ

ジェフ・ヘクト

短波長化は半導体チップ製造の解像度の向上と形状サイズの微細化を可能にする。リソグラフィで極端紫外線(EUV)を使いこなすことは容易ではないが、開発者たちによるとすでに技術段階に入っているという。

ここ数十年の間、微細化は半導体エレクトロニクスのさらなる向上を意味した。ムーアの法則によれば、チップ上のトランジスタの数は2年ごとに増えし、同時に部品サイズを30%縮小することが必要になる。この傾向をさらに数世代にわたり維持したいと考える技術者たちにとって、EUVリソグラフィは「究極の目標」だ。

チップ製造におけるフォトリソグラフィは、オリジナルのマスク画像を感光性材料(いわゆるフォトレジスト上)に投影し、得られたパターンを化学エッチングによって半導体基板上に転写する。フォトリソグラフィは可視光源で始まり、紫外水銀ランプ、248nmのフッ化クリプトンレーザ、最終的に2001年ご

ろに193nmのフッ化アルゴンレーザへとシフトし、その初期に130nmの公称寸法のパターン描画が達成された(その後、形状測定が変更された:p.42の「半導体技術の歩み」を参照)。

次の技術段階は、157nmのフッ素分子レーザになると想定されたが、この波長域ではフッ化カルシウム光学系が利用できないことが判明した。代わりに、技術者たちは液浸リソグラフィなどの技法を使用した。水を通して光を導くことで193nm線の鋭い集光が可能だ。液浸リソグラフィへの改良によって、45nmハーフピッチの回路が製造可能になり、二重パターニングと呼ばれるもう一つの技法を追加することによって、今年登場予定の次世代製造ラ

インにおける32nmハーフピッチへの微細化が可能になる。次の段階のサイズダウンはEUV領域の13.5nmの光源が必要と考えられていたが、昨年、米インテルは、EUVではなく、193nmリソグラフィをさらに高度化する方針を決定した。

EUVリソグラフィの一連の長い空転には別の理由もある。実験室の中では一握りのEUVシステムが稼動しているとはいえ、この技術はまだ生産ラインに入る準備が整っていない。主要な問題の中でも、パワーレベルとマスク欠陥がまだ解決されていないのだ。しかし、技術者たちは、課題は根本的な問題ではなく工学的问题だと樂観視している。

EUV光源

産業研究コンソーシアムの一つ、米セマテック研究試験センタ(Sematech Research Test Center)リソグラフィ部門アシスタントディレクタのステファン・ウーム氏(Stefan Wurm)は、「EUVリソグラフィのルーツは25年以上前に遡る」と言う。約10年前、開発者たちは最良の光学系が入手可能であったEUV領域の13.5nmを光源波長と決めた。固体も気体もEUVを強く吸収し、最適ミラーは13.5nmにピーク反射率をもつシリコン/モリブデン(Si/Mo)多層膜である。

複雑な実験室レーザや高調波光源もEUVを発生するが、錫プラズマは大出力で13.5nmを放射するため、生産に適している。「産業界はレーザ生成プラズマと放電生成プラズマの間を行ったり

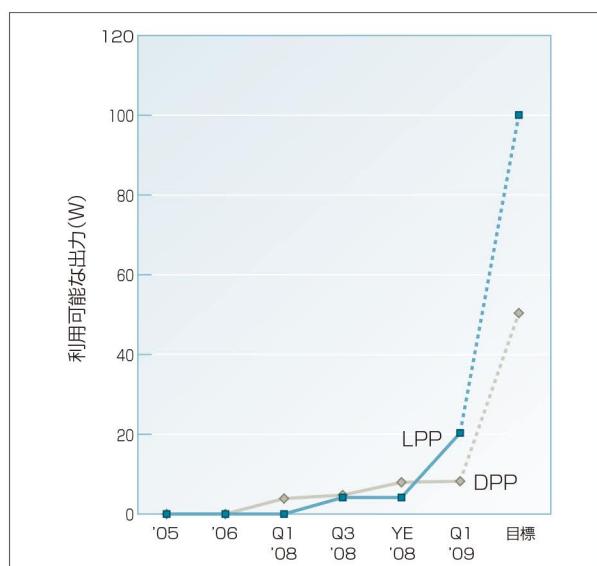


図1 現在、レーザ励起プラズマ光源(緑色四角)からの利用可能なEUV出力は放電励起プラズマ光源(灰色ダイヤモンド)の出力を越えている。
(資料提供:セマテック)

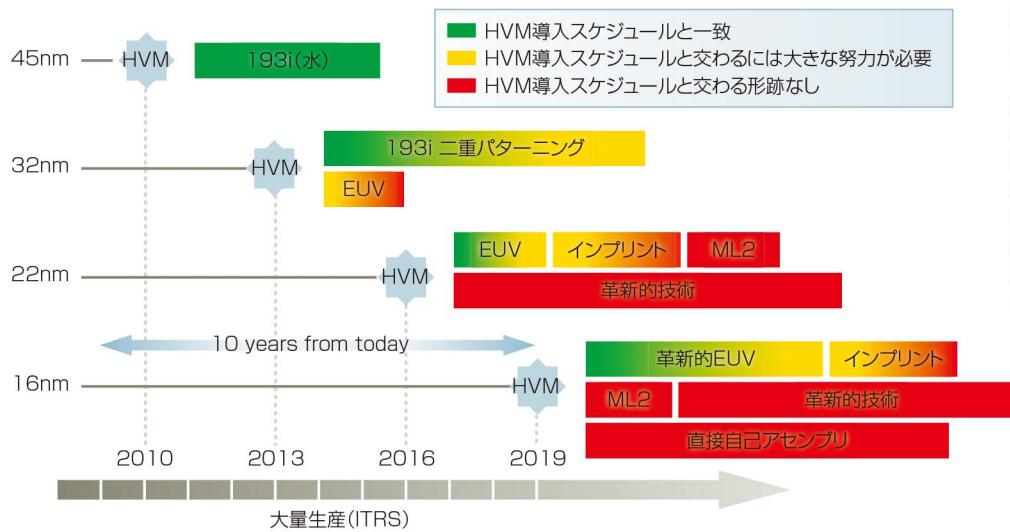


図2 将来チップ世代の大量生産に向けたセマテックの予定表(ハーフピッチで測定)によれば、45nmチップの生産はすでに開始したが、小規模にすぎない。32nmチップの試験生産は本年開始すると見られている。ML2はマスクレスリソグラフィであり、いくつかの新生技術の一つである⁽¹⁾。他の新生技術について SPIE Advanced Lithography の予稿集を参照⁽³⁾。

(資料提供:セマテック)

来たりしてきた」とウーム氏は語る。最初の実験リソグラフィツールではレーザ光源が使用されたが、第2世代の試作ツールは、セマテックがニューヨーク州のアルバニーで使用しているような放電励起であった。現在は、レーザ生成プラズマが、高出力への規模の拡大が容易であるという理由で、再び優勢になった(図1)。エキシマレーザやNd:YAGレーザも試験されたが、励起パワーのEUVへの変換効率が高く、適切なパルス構造を生成するCO₂レーザが主な選択になった、とウーム氏は言う。

このテストシステムは、研究やテストチップ生産に十分な最高20WのEUVパワーを数日間発生させることができる。商用システムは24時間体制で1時間あたり約100個のウェハスループットが必要なため、1年間持続して約180WのEUVパワーを必要とすると、セマテックのレーザ部長ブライアン・ライス氏(Brian Rice)は言う。このレベルを達成するには、平均10~20kWのパワーを放出する8kHzパルスCO₂レーザが必要になるだろう。

ミラー損失が大きいとパワーに対する要求も大きくなる。40~50対のSi/Mo層からなる投影光学系は、71~72%の

理論限界に近い、約70%の反射率を直角入射で実現する。しかし、複雑な投影系は多数のミラーを含むため、損失はかなり大きい。5~6個のミラーがマスク上にEUVをフォーカスさせるために必要であり、さらに6個のミラーがマスクをチップ上に投影するために必要となるため、光源からのEUVのほんの一部分だけが実際にチップに到達する。

性能、欠陥、設計

課題はEUV光源と光学系だけではない。このような短波長は公差が厳しく、欠陥に対する感度が高く、新しい設計への挑戦が必要になる。

ウーム氏は、「光源を適切に準備した後に残る実際問題はマスクの品質であろう」と指摘する。リソグラフィは1枚のマスクの複製をウェハ上で多数回反復するため、各マスク欠陥も多数回複製される。マスク上の4チップパターンの一つに存在する1個の「キラー」欠陥は、生産されたチップの4分の1が不良品だということを意味するため、マスク仕様は非常に厳しい、とライス氏は語る。

幾何学的微細化が進むにつれ、キラーチップを引き起こすに必要な変位原子の数が少なくなる。さらに悪いことに、

現在の193nm系でダスト粒子からマスクを保護する薄いペリケルはEUV波長では使えない。したがって、EUV系は、これまでの世代に比べてはるかに厳密な粒子制御が必要になる。

EUVでは、基板、プランク、仕上げマスクなどのスポット欠陥に対して、次世代型の検査ならびに修理ツールが必須だ。1月にドイツのドレスデンで開催されたEuropean Mask and Lithography Conferenceで、ウーム氏は2010~2012年のパイロット生産ライン用のEUV準備に関する主要な産業上の問題の一つとして検査を取り上げた⁽¹⁾。しかし彼は、22nmより良い解像度を含む化学増幅EUVレジストにおける「最近2年間の素晴らしい進展」の報告も行った。生産への新技術導入に向けたセマテックの予定表によれば、32nmチップの試験生産は本年開始される(図2)。

ハードウエアがストーリーのすべてではない。リソグラフィ系の新しい世代ごとに、シリコンを回路に組立てるための新しい世代のチップ設計ソフトウエアが必要になる。形状サイズが微細化され、チップが複雑化するにつれ、ソフトウエアが高性能チップの生産においてますます重要になると、米ケイデ

半導体技術の歩み

半導体技術の各世代は、伝統的に、チップ上の最小形状サイズによって区分され、各段階で約30%の微細化と単位面積あたりのトランジスタ数の倍増が目標とされる。しかし、最近、実際の形状サイズと、いわゆる「ノード」との間に差があるため、ノードという表現は国際半導体技術ロードマップ(www.itrs.net)の2005年版以降は使用しないことになった。リソグラフィの専門家たちはチップの最小形状サイズとしてチップ上の並列導体間の中心間距離の2分の1に相当する「ハーフピッチ」を採用している。これは実際には公称ノードサイズよりも大きい。例えば、22nmノードで組立てられたシステムは32nmハーフ

ピッチのチップを作製したことになる。

チップメーカーの多くは、形状サイズは独自のものであり、ハーフピッチを明示しないと考えているため、古い「ノード」という用語を使い続けている。さらに複雑なことに、形状サイズは同一世代のリソグラフィシステムで作製された集積回路のタイプ間でも異なる。例えば、不揮発性フラッシュメモリの形状はダイナミックランダムアクセスメモリ(DRAM)のそれよりも小さく、両者ともマイクロプロセッサの形状よりも小さい。

本記事では、一貫性を持たせるために、現在および次世代のリソグラフィシステムのハーフピッチを使用した。

2011年または2012年に実証され、2013年または2014年に生産が開始すると期待している。

インテルにおいてさえも希望はある。インテルの技術／製造部門のバイスプレジデントと部品研究ディレクタを兼務するマイケル・メイベリー氏(Michael Mayberry)は、「EUVの問題が解決不可能だと考えているなら、わたしは別の仕事を捜しているはずだ」と語る。彼は、多重パターニングを使うことによって、「193nmでもう一つ先の世代を切り開けると確信している」と言う。しかし彼は、次のステップはEUVだということを確信している。彼は、「われわれはエンジニアリングの段階にいるのであり、新しい発明が必要な段階にいるわけではない。EUVは次の10年の初めには生産に利用可能になると信じている」と語っている。

EUVはそれ自身の研究分野をもつわけではない。その努力は、汎用リソグラフィの波長をわずかに短くすることに向けられている。4月に、米マサチューセッツ工科大学のラジェッシュ・メノン氏(Rajesh Menon)のグループは、紫外レーザを使ってフォトレジストに波長の約1/10の幅の線を描画する方法を実証した⁽²⁾。しかし、過去の歴史の指針がまったく存在しなければ、こうした新しい発想は生産段階に達するまでに数年を要したであろう。莫大な資金がすでにEUV研究に提供されたこと、半導体産業がチップ特徴サイズのさらなる縮小に依存することを考えれば、EUVになるか、失敗に終わるか、そのいずれかである。

ンス・デザイン・システムズ社(Cadence Design Systems)、主要エレクトロニクス設計自動化ソフトウェアハウスの工学責任者、ミリンド・ウェリング氏(Milind Weling)は言う。ソフトウェアは、設計者が仕様通りに動作するオンチップ構造を作製するための「機能の大皿」になると、彼は付け加えた。ソフトウェアは、チップ設計にあたって数10ギガビットのデータを処理し、チップ形状の各世代ごとに新たな機能を組込むためのアップデートが必要だ。

課題

EUVは提案されて久しくなる一方、193nmシステムは予測された限界をはるかに越えて生き延びている。1997年ごろ、米Solid State Technology誌はEUVが65nm幾何学のチップ製造に必要になると予測していたと、ウェリング氏は言う。現在、ハーフピッチが22nmもしくは16nmに達する時に、EUVが必要になると考えられている。ウェリング氏は、「毎年、今から6年後には準備

が整うだろう、と期待しているような感じだ」と付け加えた。

何人かの業界専門家は成長に懐疑的だ。2011年頃に導入予定の世代でEUVは使用しないという昨年のインテルの決定と、2月に行われたSPIE Advanced Lithography会議でのEUVリソグラフィのパネルディスカッションは、いずれもネガティブなニュース記事の火付け役となった。しかし、汎用リソグラフィの引伸ばしが限界にきてることも確かだ。EUVは、ムーアの法則をさらに推進する期待の星であろう。

ウェリング氏は、13.5nmに移行すれば解像度が大きく改良されることに触れて、「わたしは、EUVが提供するはずのものに非常に勇気づけられている」と語る。ウーム氏は、ハーフピッチ22nmの次世代チップのEUV試験生産が

参考文献

- (1) S. Wurm, "Lithography Development and Research Challenges for the < 22 nm half-pitch," paper presented at European Mask and Lithography Conference held in Dresden, Germany (Jan 2009)
- (2) T. L. Andrew et al., Science Express, April 9, 2009; doi: 10.1126/science.1167704
- (3) F. M. Schellenberg; Bruno M. La Fontaine editors, 2009 Proc. of SPIE 7271 (2009)