

Camera Link HS: 50Gbps 超達成への道

ボブ・マカラク、マイク・ミーシグ、マーティン・シュワルツバウア

安価なIPコアが、カメラやフレームグラバのメーカーによるCLHSの開発と実装を加速化させている。

幅広い範囲の応用分野における、さらに高精度のイメージングに対する需要にけん引されて、センサやカメラのメーカーは、ピクセルサイズの縮小化、ピクセル数のさらなる増加、フレームレートの向上によって、解像度の限界を押し上げている。この進歩に伴い、さらに大量の画像データをさらに高速に転送するためのインタフェースプロトコルも、進化している。

複数の標準プロトコルが存在し、Camera Link HSは、速度、信頼性、開発しやすさ、帯域幅において、代表的な規格の1つである。Camera Link HSは、機能の大幅な拡張が今後のバージョンで予定されており、その変更によって、カメラインタフェースの傑出した選択肢になることが期待される。

Camera Linkから Camera Link High Speedへ

Camera Link High Speed (Camera Link HSまたはCLHS)は、産業用カメラ及びシステムに対する、堅牢で成熟したインタフェース規格である。ビジョン業界初の標準カメラインタフェースプロトコルであるCamera Linkから進化した。2000年に初めてリリースされたCamera Linkは、完全にボランティアによって開発され、Association for Advancing Automation (A3)によって管理されているプロトコルで、カメラとフレームグラバの間のリアルタ

イムで高帯域幅の平行双方向通信を規定するものである。Camera Linkは、非常に低遅延でのリアルタイムの高速伝送に加えて、低価格のケーブルによる標準化された接続を実現し、1本のケーブルで電源供給も可能としたPoCL (Power over Camera Link) という拡張規格へと発展した。

CLHSは、Camera Linkの低遅延、ゼロジッタ、リアルタイムという強みを基盤に、2012年にリリースされた。CLHS規格は、スケーラブルな帯域幅による非常に信頼性に優れたデータ伝送を実現し、銅線と光ファイバの両方のケーブルをサポートした他、重要な点として、コンポーネント開発を容易にするためのIP (知的財産) コアが提供されている。

A3には、デジタルインタフェース規格とインタフェースコードの開発と管理を行う複数の技術委員会が存在し、その1つがCLHSである。CLHSの現時点の最新バージョンは1.1である。CLHSには、MプロトコルとXプロトコルという、2つの物理層符号化方式を採用するプロトコルが実装されている。A3が提供するVHSICハードウェア記述言語 (VHSIC Hardware Description Language : VHDL) のIPコアは、米アルテラ社 (Altera、現在は米インテル社 [Intel] 傘下)、米ザイリンクス社 (Xilinx)、米マイクロセミ社 (Microsemi、現在は米マイクロチップ社 [Mi

crochip Technology] 傘下) のFPGAに実装されている。A3が1000ドルの価格で提供するこれらのコアは、カメラやフレームグラバなどの、コンポーネントで使用されており、この規格を推進するとともに、技術普及の加速化に貢献している。

この安価なIPコアのインフラストラクチャーが、カメラやフレームグラバのメーカーによるCLHSの開発と実装を支えている。CLHSのIPコアのコードはオープンソースであるため、ライセンスを受けたユーザーは、コアを独自の用途に合わせてカスタマイズすることができる。機能追加によってコアを改良し、技術的審査を経て承認されれば、それをIPコアの永続的な要素とすることができる。

CLHSのMプロトコルのIPコアは、十分な実績を持つ成熟した8b/10bライン符号化方式を採用し、低コストで低消費電力のFPGAでの使用を対象としている。C2銅線ケーブル (CX4コネクタ) によって最長15m、2.1Gbpsの伝送速度をサポートする。アクティブなプラグオンの光ファイバケーブル (AOCケーブル) を外部に追加することにより、最大100mの伝送が可能である。Mプロトコルの標準的な伝送速度は、1レーンあたり最大5Gbpsである。

CLHSのXプロトコルのIPコアは、64b/66bライン符号化方式を採用して、10Gbps以上の伝送速度を対象に

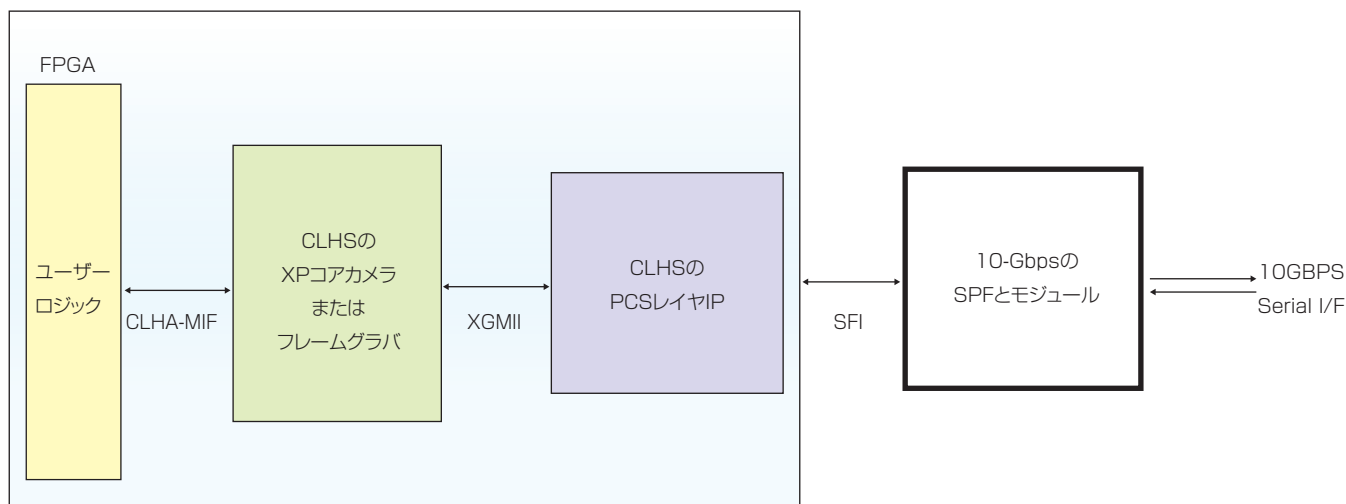


図1 標準的なXプロトコル(XP)のCamera Link HSデバイスアーキテクチャ。フロントエンドに搭載されたXPコアが、ユーザーロジックとCLHSのPCSレイヤIPの間を仲介する。(図提供:A3のCLHS技術委員会)

設計されている。CoaXPress (CXP) など、他のインタフェースプロトコルでも、この符号化への移行が進められている。このライン符号化方式に基づき、CLHSの10Gbpsは、CXPの12.5Gbpsに相当することに注意してほしい。Xプロトコルでは、前方誤り訂正(Forward Error Correction: FEC)と1ビットのエラー訂正も行われる。このプロトコルは、光ファイバ接続(F2、SFP+コネクタ)をネイティブにサポートするように設計されており、まもなくF3コネクタ(QSFP+Quad Small-Form-factor Pluggable)とMPO [Multifiber Push-On]をサポートして、レーンあたり最大16Gbpsの伝送速度を実現する見込みである。C3(CX4)銅線ケーブルもサポートされているが、光ファイバを使用することで、最大の伝送速度とケーブル長(一部のケースでは20km以上)が実現される。重要な点は、64b/66b符号化方式を採用するXプロトコルが、2012年から実装されており、その安定性が長期にわたるフィールド検証によって裏付けられていることである。

CLHSは、5つのメッセージタイプを

サポートする。5つのメッセージとは、7つの異なるモードからなる低遅延(1 μ s未満)でゼロジッタのトリガ(最大で8MHzのリアルタイムイメージングを実現)、16個の双方向汎用I/O(GPIO、遅延は1 μ s未満)、ビデオメッセージ(リモートDMAビデオパケットとフレームグラバデータのフォワーディング)、コマンドメッセージ(ストリーミング訂正係数を有効化する高速コマンドアップリンク)、リビジョンメッセージ(デバイス検出に使われる改訂情報)である。CLHSの大きな価値の1つは、リアルタイムでポイントツーポイントのインタフェースだという点にある。CLHSのトリガとGPIOが低遅延であることは、応答が高速で、他のインタフェースでは必要になる可能性があるトラッキングとスケジューリングが、不要であることを意味する。

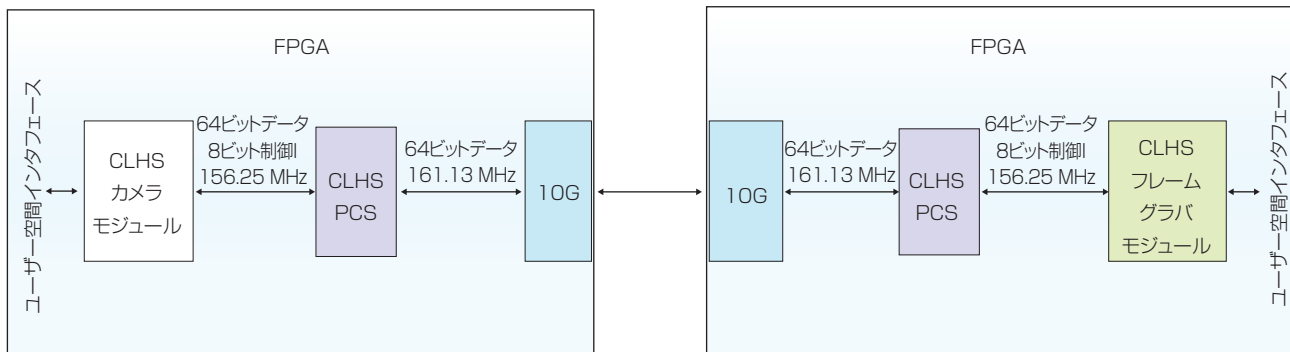
CLHSのXプロトコルは、10Gbpsのトランシーバが内蔵されていないFPGAを対象に、10GBASE-KRイーサネットPHY(物理層)に接続することができる(図1)。あるいは、提供されている物理符号化副層(Physical Coding Sublayer: PCS)モジュールを使用

して、10GBASE-KR機能を提供しない10Gbps対応のFPGAの中に、コードを実装することができる(図2)。CLHSのXプロトコルのこの独特の実装方法に基づき、Camera Link HSは既に、仕様を25Gbpsに移行するための最終段階にある。

25Gbpsの達成はまもなく

巧みに設計されたIPコアアーキテクチャにより、CLHSは何の変更も加えることなく、FPGAの伝送速度を25Gbpsに引き上げることができる。SFP28、QSFP28、またはMPOコネクタを使用した光ファイバを介して、25Gbpsのトランシーバを使用することにより、これが可能である。まもなくリリース予定の仕様改訂では、1つのMPOコネクタを使用して最大100Gbps(4 \times 25Gbps)の利用可能帯域幅を達成できることが、検証される見込みである。

この伝送速度を実現するにあたり、CLHSのXプロトコルのIPコアは、まったく変更されない。従って、既存のすべてのCLHSインフラストラクチャーにも変更はなく、バンダーやユーザー



データ幅は一方通行のみ

図2 CLHSのXプロトコルは、提供されているPCSモジュールを使用して、10Gbpsのフレームグラバの中にコードを実装することができる。

は、安価かつ簡単に25Gbpsへと移行することができる。これとは対照的に、フレームグラバのインタフェースは、より高い伝送速度に対応するには、コアのコードを変更し、異なるライン符号化方式に移行しなければならない。CLHSにはさらに、インタフェースの速度を変更するための非常に柔軟で堅牢なメカニズムがある。MPO/LCブレイクアウトケーブル、またはSFP28を使用することにより、既存のCLHS対応の10Gbpsのフレームグラバとの後方互換性を確保するか、あるいは、新しく開発された25Gbpsのフレームグラバで既存の10Gカメラをサポートすることができる。

50Gbps以上の実現に向けて

FPGAとPHY技術が50Gbps以上の伝送速度をサポートできる状態にあることから、Camera Link HSでは、さらに高いイメージング速度での高性能でリアルタイムなカメラインタフェースの提供に向けた準備が進められている。容易に50Gbpsに移行できるようにするための各種機能が、既にCLHS規格において策定されている。CLHSワーキンググループは、既存のXプロトコルのIPコアを活用して、X

プロトコルのIPコアのPCSの64ビット出力から、SerDesブロックを内蔵する50GbpsのFPGAの128ビット入力までを接続する、シンプルなブリッジを追加している。

50Gbpsの速度を実現するために、CLHSには、マスタ/スレーブチャンネル(またはレーン)を1本の光ファイバで使用する、仮想チャンネルが導入される予定である。このマイナーな仕様変更によって、コンポーネントベンダーは、ハードウェアとソフトウェアのアーキテクチャへの影響を最小限に抑えつつ、より高速なインタフェースに容易に移行することができる。

フレームグラバの未来

Camera Link HS規格は、将来のイメージングを念頭に、汎用IPコア、オープンソースVHDL、そして本質的に高度なライン符号化方式と誤り訂正が実装されている。将来対応の規格とするための鍵となる要素の1つが、光ファイバケーブルのシームレスなサポー

トである。光ファイバは、ほとんどのイメージング環境において標準になる可能性がある。光ファイバケーブルは、従来の銅線ケーブルのように脆弱ではなく、折り曲げたり、巻いたり、挟み込んだりといった使用方法に対する耐性が高い。光ファイバは、現行技術によって簡単に、フィールドでの設置や変更を行うことができる。銅線ケーブルの2倍以上の帯域幅を備え、数十kmの距離にわたる伝送が可能であることに加えて、コストも銅線ケーブルよりも低い。

既に堅牢なイメージングインタフェースであるCamera Link HSは、今後も改良が続けられる。2021年から採用されている64b/66b符号化方式が、メーカーとエンドユーザーにもたらした10Gbpsから50Gbpsに至るまでの長い設計サイクルは、今なお続いている。多くの優れた機能を備えるこの規格は、現在と将来の両方において、高速イメージングに対する明らかに傑出した選択肢である。

著者紹介

ボブ・マカラク (Bob McCurrach) は、米A3 (Association for Advancing Automation, www.automate.org) の規格策定担当ディレクター。マイク・ミーシグ (Mike Miethig) は、加テレダインダール社 (Teledyne DALSA, www.teledynedalsa.com) の技術マネージャー。マーティン・シュワルツバウア (Martin Schwarzbauer) は、米エクセリタス社 (Excelitas) 傘下の独PCO社 (www.pco.de) のカメラシステム担当マネージャー。