ICのベアチップはどのくらいのESDに耐えられるか？ ESDの影響下で実施するICイミュニティ試験

Sven Konig
EMC Engineer
Langer EMV-Technik GmbH

最近の電子デバイスは、ESDのイミュニティに関して、最も厳しい規格に対応する必要がある。テュフノルド（TÜV NORD）の見積もりによると、静電気放電により製造業が被っている損害の総額は毎年、数百万ユーロ（約139億円）に達しているという。ESDの影響は回路故障、ひいては車両や加工・生産ラインの停止につながる。電子システムは最も厳しい条件下でも、故障なく確実に機能することを求められる。

しかし電子システムは、せいぜい個々の部品と同程度の性能にすぎないので、こういう高い要求にも適合する必要がある。特に肝心な点は集積回路（IC）であり、今日のどんな電子システムも、これなしではほとんど成り立たない。しかしESDイミュニティに関してICを評価する際、実際にどの試験を利用できるのか、また、試験はどのように行われるのだろうか？

モジュールまたはデバイスがESDに影響されないようにするために、金属筐体やグランド層、フィルタなどの複雑なEMC対策がよく使われる。これらの方法は非常に高価で、莫大な開発業務が必要である。従来のEMC対策は、通常、プロトタイプまたはモジュールやデバイスのほぼ最終に近い開発段階でのみ使われ、それも適合性試験でデバイスが不十分なイミュニティを示す場合に限られる。こういった対策は、デバイスの機能を実現するために実施される。しかし、もっと良い解決策は、意図的に使用されるICやコネクタ等の部品に、電子機器開発プロセス開始前の最初の段階から総合的なEMC分析、特にESD試験を行うことである。そうすれば、開発者や設計者はロバスト性に基いて、どこでどのように部品を使うか計画を立てることができ、時間とコストの削減が可能になる。

モジュールまたはデバイスのEMCを実現するため実際に選択可能なアプローチとしては、通常2種類ある。

最初のアプローチでは、デバイス開発