

CMOSベース特殊撮像素子が新たなパフォーマンスレベルを達成

エルス・パートン、ジェローム・バロン、ピエット・デ・ムーア

今日のCMOSベース特殊撮像素子は非可視光感度および低消費電力レベルでの高データ取得レートを向上させた。これによって以前のCCDのみのアプリケーションを射程に収めるシステム・オン・チップ(SoC)撮像素子が実現する。

相補型金属酸化膜半導体(CMOS)撮像素子は、スマートフォンやデジタルカメラではおおむね電荷結合素子(CCD)撮像素子に取って代わっている、これはローコストと高集積性によるものである。しかし医療アプリケーション、顕微鏡、宇宙用途、マシンビジョンでは、CCD撮像素子はまだ市場で優位を占めている。つまり、これらの分野におけるCMOSの市場シェアはわずか10～15%と推定され、これはパフォーマンスの問題によるものである。

これに応えてimecの研究者は、ハイエンドアプリケーション向けのCCD撮像素子と同等、それをはるかに凌駕するCMOS撮像素子を開発している。もっと正確にいうと、1000倍までの速度、可視光域を超える波長感度が今までのところで実証されている。

光レイヤーのイノベーション

特殊撮像素子の性能に対し光レイヤーの最適化が最重要である。反射防止コーティングで、撮像素子表面の反射を最小限に抑えることで高感度シリコンへの光透過を最大化する。非可視光UV光を検出するとき、設計者はシリコンの上のレイヤーの誘電体材料における光吸収を考慮する必要がある。同時に、シリコンへのUV光浸透は極めて浅いことも考慮する必要がある。

極紫外光(EUV)検出では、非常に

薄いボロン(B)のパッシベーションコーティングが用いられている。ボロンは吸収が最小であり、高線量下でも撮像素子の動作は安定する。たとえば、この技術によって最新のリソグラフィ装置の線量モニタリングができる。

ハイパースペクトルフィルタによってCMOS撮像素子は新たな特性が加わる。アプリケーションとしては、工業検査、偽造防止、食品品質コントロール、それに皮膚癌検診などの医療用途がある。imecの研究者は、100のスペクトルフィルタを組み込んだハイパースペクトル撮像素子を開発した。フィルタは、市販CMOS撮像素子上にくさび形状で設置されている。結果は、量産対応、完全CMOS適応加プロセス技術によるコンパクトな高速ハイパースペクトルカメラとなっている。

組込まれたスペクトルフィルタは、狭帯域ファブリペロー(FP)干渉フィルタだ。FPフィルタは一般に、両端にミラーを持つ透明層(キャビティ)でできている。キャビティ長によって光フィルタの中心波長が決まり、ミラーの反射特性によってフィルタの半値全幅(FWHM)が決まる。

これらのフィルタを利用して、様々なハイパースペクトル撮像素子デザインが実現できる。例えば、ライン走査ハイパースペクトル撮像素子は、直線運動をする物体の完全3Dデータキュ

ーブを記録できる。ハイパースペクトル撮像素子は、多様なアプリケーションの要求仕様に合うよう、原理的にどの画像センサでも処理ができるようになっている。同様にして、スペクトル範囲も調整可能であり、現在拡張スペクトル範囲400～1000nmが開発中である。

改善された読出回路

アナログ・デジタルコンバータ(ADC)専門技術を使い、省電力大規模撮像素子の高速読出を可能にする新たな撮像素子設計を開発した。次世代高解像度テレビのピクセル数は8倍以上となり、読み出し速度は120フレーム/秒(fps)まで高速化される。

従来の撮像素子では、カラム毎にピクセルを読み出し、続けてデータが1個のADCに多重される。そうではなく、撮像素子カラム毎に1個のADCを使うと、並列的にデジタル化でき、消費電力を下げながらフレームレートを高速化できる。最近実証した成果は、シグマ・デルタ($\Sigma\Delta$)アーキテクチュアを利用したカラムベース、12bit ADCだ。このデザインによって、60フレーム/s(fps)の速度で8Mpixel撮像素子の読み出しができる。

回路集積では、組込CCD(eCCD)技術は両分野の最良のものを組み合わせている。CCDの電気・光性能と、CMOS

読出エレクトロニクスの複雑さとスピードを組み合わせた。CCDモジュールを $0.13\mu m$ CMOSプロセスフローに加えることにより、CCDのようなピクセルとCMOS読出エレクトロニクスの両方を1個のデバイスで実現している。CCDピクセルの正常動作にとって重要なパラメータの1つは電極間のサブミクロングリップ(約150nm)で、これは最先端のリソグラフィで達成したパラメータである。このeCCDモジュールにより、アプリケーション要求にしたがったカスタムデザインが可能となり、裏面照射(BSI)にも適応している。

eCCDのアプリケーション例として時間遅延積分(TDI)がある。CCDピクセルの電荷移動は、動画と同期した

無雑音移動と積分を可能にする。これはCMOS撮像素子を使っていては、達成が極めて困難である。eCCD技術によって、超高速イメージングも可能になる(最高10億フレーム/秒)。この場合、CCD素子をアナログメモリとして使用して非常に多くの画像(約100)がピクセル内に蓄積される。100の画像を高速取得した後、ピクセルは従来の撮像素子と同じように読み出される。このバーストモードイメージングは、流体力学のような科学アプリケーションで用いられている。

ベストピクセルの作製

一般的な前面照射撮像素子では、光は光レイヤーに入り、金属と誘電体層

で構成される、いわゆる「バックエンド・オブ・ライン」(BEOL)を通過して、光感度のあるシリコンに到達する。BEOL材料は光の一部を反射したり、吸収したりするので、高い量子効率(QE)を達成する方法はBSIということになる。

BSI撮像素子では、シリコン基板が除去されており、光は裏面から直接撮像素子に入る。このBSI CMOS撮像素子に必要な技術は、高度なウエハボンディング、研削、化学・機械研磨、選択ウエットエッティング、レーザアニーリングである。BSI撮像素子では、空気からシリコン(その間にBEOLレイヤーはない)への直接移動するので、充填率は100%となりQEは向上する。また、前面照射撮像素子とは違いBSI撮像素

光産業技術マンスリーセミナー



Optoelectronics Industry and Technology Development Association

プログラム (1~2月)

No. / 開催日	講演テーマ / 講師
第369回 2月18日(火) 15:30-17:30	「LED照明の標準化動向」 講師: 垣谷 勉氏 (東芝ライテック株式会社 技術企画部 グループ長)
第370回 3月18日(火) 15:30-17:30	「高速切り替え可能な100Gデジタルコヒーレント光ネットワーク技術の実用化」 講師: 山崎 悅史 氏 (NTTエレクトロニクス株式会社 主事)

- 場所
- 定員
- 参加費

一般財団法人光産業技術振興協会
各60名
光協会賛助会員: 1,500円(税込み) / 一般参加: 3,000円(税込み)
※支払いは、当日受付にて現金でお願いします。

- 申込方法
- 申込締切

オンライン申込フォーム >>> http://www.oitda.or.jp/main/monthly/monthly_postmail.html
定員になり次第締め切れます。なお、締め切った場合にはWeb上にその旨を掲載します。

問い合わせ先

一般財団法人光産業技術振興協会マンスリーセミナー担当 白井、潮田
〒112-0014 東京都文京区関口1-20-10 住友江戸川橋駅前ビル7F TEL:03-5225-6431 FAX: 03-5225-6435
E-mail: mly@oitda.or.jp URL:<http://www.oitda.or.jp/>

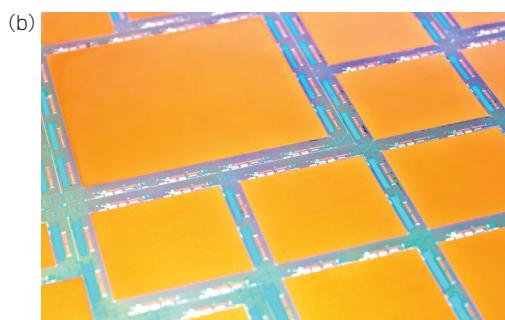
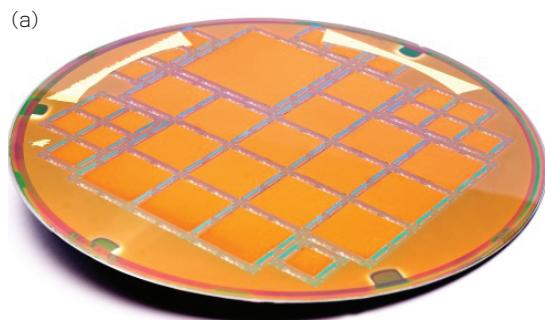


図1 スティッチ・イメージウエハ(a)では、異なるサブプロックを組み合わせて(b)サイズの違う撮像素子を作製する。

子はUV光に感度を持つ。

現在研究を進めているもう1つの方法は、改良版CMOS特殊撮像素子製造に専用の基板を用いることだ。例えば、感度の良いシリコンの厚いレイヤーを用いると、近赤外(NIR)応答が向上する。NIR波長ではフォトンの透過深度が急激に改善されるためである。ただし、これは一般的にはピクセルクロストーク悪化につながる。つまり撮像素子の実効分解能が劣化する。このクロストーク効果に対抗するための1つのソリューションは、段階的ドーパント濃度を持つ特殊基板の使用である。この基板では、吸収されたフォトンによって生じた電荷を最も近いピクセルに導く。もう1つのソリューションは、トレンチを使ってピクセルを分離する方法だ。これによって、隣接ピクセルへの電荷の移動を阻止する。

大面積撮像素子の製造には、2つの異なる技術が使える。

マスク領域で一般的に可能なチップサイズは最大約 $2 \times 2\text{cm}^2$ であるので、それよりも大きな撮像素子を実現しようとするとスティッチングという特殊技術が必要になる(図1)。この場合、サブプロック(多様な撮像素子コンポーネント)を繰り返しウエハ上に印刷して大小の撮像素子デバイスを造る。

他にバッティング技術がある。個々の撮像素子チップを密接に重ねて1つの大きな撮像素子デバイスを作製す

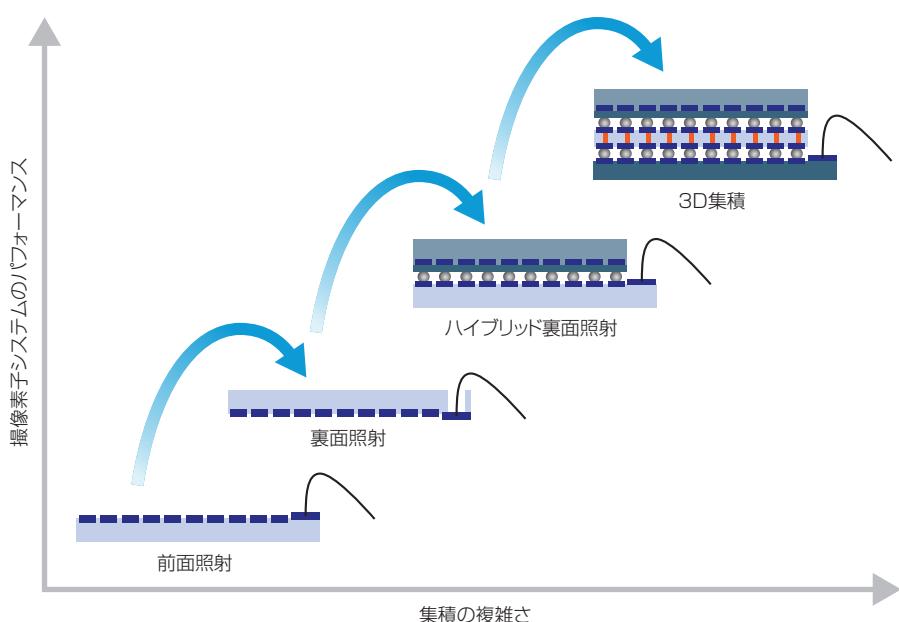


図2 集積の複雑さが増すとともに撮像素子システムのパフォーマンスは改善される。前面もしくは裏面照射撮像素子から、2つの活性層を持つ対面接合裏面照射撮像素子(ハイブリッド裏面照射)、最後により高速でスマートな撮像素子を実現するTSVを用いた3層イメージングスタック。

る。しかし、撮像素子を重ねるとその間にギャップができるので、不感領域が生まれる。この、いわゆるデッドエリア(死角)は、3Dスタッキング技術を用いることで最小に抑えることができる。この技術では、ワイヤボンドをスルーシリコンビア(TSV)で置き換える。これは垂直の入出力構造であり、デッドエリアを大幅に減らすことができる。大面積イメージングは、X線医療イメー

ジングなどの用途に有用である。

究極的には、3D集積を採用すると全く新しい撮像素子アーキテクチャが可能になる。例えば、最初のウエハに裏面照射ピクセル、第2のウエハに読出回路を置く。このハイブリッド裏面照射撮像素子アーキテクチャは、より柔軟な集積となっており、両方のレイヤーの処理を分離することでスマートで高速な撮像素子を実現している(図2)。

著者紹介

エルス・パートンは科学編集者、ジェローム・バロンはイメージング担当製品マーケティングマネージャー、ピエット・デ・ムーアは光センサ担当プログラムマネージャー。それぞれimec所属。
email: els.parton@imec.be URL: <http://www.imec.be>