コンピュータの性能を引き上げるフォトニック集積化

ジェフ・ヘクト

将来の高性能コンピューティングは並列処理の巨大化とエネルギー消費の大幅低減が鍵になる。この目標の達成には集積フォトニクスによる光信号伝送が重要な役割を果たす。

1969年にベル研究所のスチュワート・ミラー氏（Stewart Miller）が集積光学の概念を初めて発表したが、この発想はすでに輝かしい成功を収めていた集積電子回路からの類推に基づいていた[1]。その後の年月、集積光学とそれに由来する集積フォトニクスは永続的な研究テーマであったが、それは往々にして「問題を探す解決策」だと考えられてきた。皮肉なことに、現在、集積電子回路は性能の壁にぶつかっており、集積フォトニクスには取組むべき「問題」が生まれた。

マイクロプロセッサの演算速度は何十年にもわたり増加してきたが、そこでは回路素子のサイズが縮小し、部品の密度がムーアの法則にしたがって増加した。しかし、2000年代の中頃になると、マイクロプロセッサのクロック速度は3GHz近くで失速した。これはプロセッサが高速化されると、その廃熱量が放散可能な量よりも大きくなることに原因がある。このような性能の壁に直面した集積回路メーカーは、マルチコアをもつチップを設計して、この壁を乗り越えようとしている。マルチコアプロセッサは並列処理による演算を行い、4個の3GHzチップを組合せて、12GHzの全体処理速度を確保する。

しかしながら、マルチコア処理の新しいパラダイムを実現するには、ソフトウエアとハードウエアにおける大きな変化が必要になる。昨年12月に発表された米国研究学術会議（NRC）委員会報告書によると、現在の直列動作に基づくソフトウエアは、8または16以上のコアをもつチップの並列動作を可能にするための書き換えが必要になる[2]。米アナログ・デバイセズ社（Analog Devices）のCTOおよびNRC委員会の座長を務めるサミュエル・フラー氏（Samuel Fuller）は、集積フォトニクスのハードウエアでは巨大な相互接続性が得られると語っている。

電子、光子、エネルギー

集積フォトニクスの通信能力は、集積エレクトロニクスの高性能計算能力を補完する。電子は互いに強く相互作用するため、トランジスタはスイッチングと信号処理に優れている。しかし、電子の強い相互作用は雑音を発生し、信号伝送の減衰をもたらし、減衰は周波数が高くなるほど大きくなるため、通信能力を阻害してしまう。光子の弱い相互作用は光コンピューティングを制約するが、雑音、減衰および光チャネル間のクロストークが減少するため、この制約は補償される。

しかしながら、NRC委員会は、すべての計算動作がエネルギーを発生し、高度な並列コンピュータであっても、その性能はエネルギーの消費と散逸による制約を受けると警告している。フラー氏は「サーバファームはアメリカの電力供給の1.5%以上を消費している。CMOS回路は高速になると、その計算当たりのエネルギー効率が悪くなる」と語っている。巨大なデータセンタと科学計算用のスーパーコンピュータは

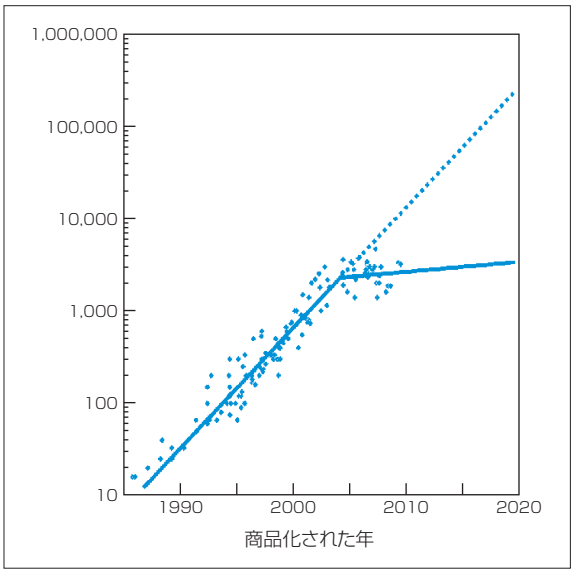

図1　単一プロセッサの性能向上は1986年から2004年頃まで着実に続き、そこで突然に停止した。それぞれの点はSPECint-2000ベンチマーク試験により測定された個々のプロセッサの商品化時点の性能を示している。実線は実際の動向を、点線は2009年から2020年までの国際半導体技術ロードマップによる目標ラインを示している。（この図は、フラー氏とミレー氏の承認と米国アカデミーズ・プレスの好意に基づいて「The Future of Computing Performance: Game Over or Next Level？／2011年 National Academy of Science」[2]の資料を引用している。）

20MW以上の電力を消費し、この消費量はさらに増加している。フラー氏は「次の10年間で、ユーザが10～100倍の（計算速度の）加速を期待しているのであれば、われわれがエネルギー効率を向上できない限り、膨大な電力を消費することになる」と付け加えた。

米マサチューセッツ工科大学（MIT）のマイクロフォトニクスセンターが発表した2010年6月の報告書は、「情報技術（IT）によるエネルギー消費に関する推定では、現在、世界の発電量の非常に大きな割合を占めている[3]」とはっきりと警告した。問題は環境持続性ではなく経済性にある。MITの報告書は「今日のエネルギーは、一般に3年のライフサイクルしかないITハードウエアの消費が50%を占めている」と述べ、エネルギー消費を制御する努力が「製品サイクルの短縮と高密度電子-フォトニック集積化を牽引するだろう」と付け加えている。

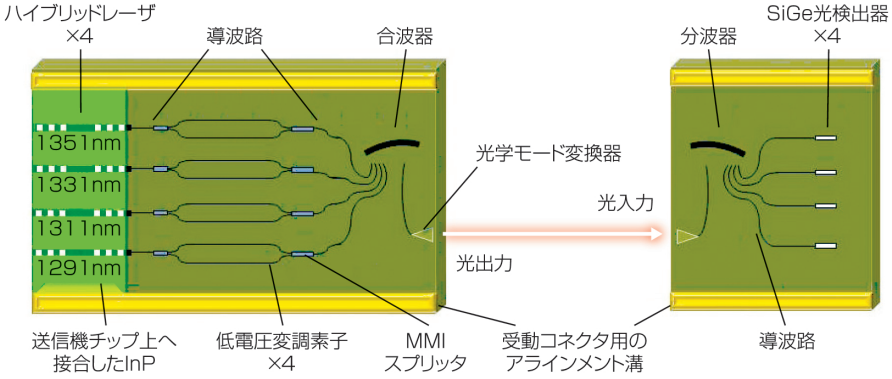

図2　インテルが作製した50Gbpsまでを伝送できる4チャネルCWDM集積フォトニックリンクの概念図を示している。（資料提供：インテルのアルドゥイーノ氏ら[5]の図を引用）

フォトニック通信の集積化

フラー氏は「第1に、フォトニクスは非常に電力効率の良い通信を実行できる」と語っている。電気が導体を通して移動するにはエネルギーが必要になるが、この状況は周波数が高くなるほど悪くなる。導体は電磁場、クロストーク、電磁干渉の増加をもたらし、減衰が著しく増加する。これらの三つの要因がエネルギー消費の増加を引き起こす。

光リンクははるかに減衰が低く、帯域幅が広いため、基板間とチップ間、究極的にはチップ内に、光リンクを使うと、消費電力の大幅な節約が約束される。さらに、並列処理の度合いを大きくすると、処理コア間の通信リンクの必要性が何倍にも大きくなる。フォトニクスがどれだけのエネルギーを節約できるかは手探り状態だが、フラー氏は「2分の1ないし4分の1への削減は期待できる」と語っている。これは素晴らしいように聞こえるだろうが、彼はこの改善によって、現在の18ヶ月ごとに倍増する電子コンピューティング用の電力、つまりエネルギー消費が完全に相殺されるとは考えていない。

集積フォトニクスリンクは高性能コンピューティングの重要な性能指数、つまりチップ表面の単位断面積当たりのGbpsまたは基板やチップ端部の単位長さ当たりのGbpsで計量される帯域幅密度も改善する。MITの材料加工センターのライオネル・キメルリング氏（Lionel Kimerling）によると、光学系は本質的に高い帯域幅密度をもつため、先端的な変調フォーマットや波長分割多重（WDM）を使うと、エレクトロニクスではとても到達できない帯域幅密度を実現できる。集積化によってさらに小さなスケールのフォトニクスが可能になる。

光リンクの小型化

光リンクはすでに高性能コンピュータのバックプレーン上の商品として使用されている。次の段階は回路基板であり、そこではフラー氏が基板自体へのフォトニック導波路の2～3年以内の集積化を目指している。その後は電子チップ上のフォトニクスの集積化が続くと考えられる。

III-V半導体上のフォトニック集積化は確立されたビジネスになり、すでに多くの通信分野で使われているが、電子産業はフォトニクスをマイクロプロセッサなどの多数の電子回路に広く使われているシリコン（Si）基板上に集積したいと望んでいる。二酸化ケイ素の導波路を路電気回路の主要な電力伝送路として機能している導体に置き換えると、クロック信号の分配が可能になる。フラー氏によると、Siにフォトニクスを集積する最も容易な方法は光検出器と光導波路を作製することだ。すでにアナログ・デバイセズ社はSiチップ上にSiまたはゲルマニウム（Ge）フォトダイオードおよびトランスインピーダンス増幅器を他の部品の作製なしに集積している。

Siはとても粗末なエミッタのため、その光源としての集積化は非常に難しい。今までに最も成功したアプローチは米インテルと米カリフォルニア大学サンタバーバラ校が開発したハイブリッドレーザだが、このレーザはSiに結合されたIII-V接合から発生する光子がSi中の導波路を伝搬する。

実装も課題になるが、それは光子の

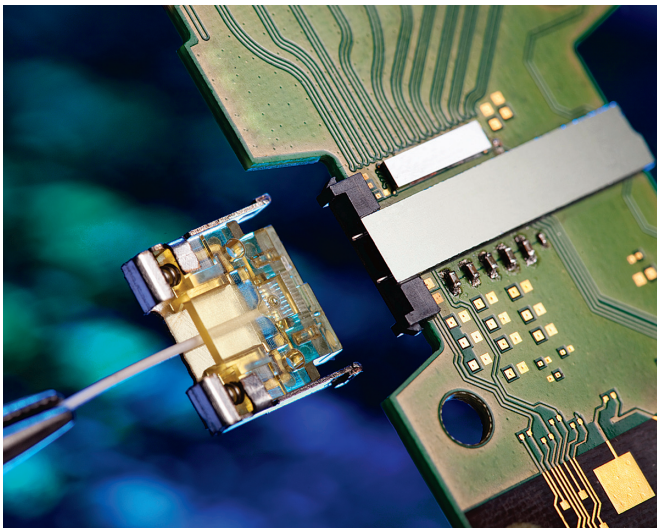

図3　インテルの50 Gbps Siフォトニクス送信機とファイバコネクタを示している。右側の広幅の金属板は送信機モジュールを示し、フリップチップとして回路基板に接続されている。中央の突き出たピンはファイバを内蔵した小さいプラグインモジュールとの位置決めに使われるが、ここでは接続されていない。ファイバは左下の方向へ延びている。受信機は示されていない。（資料提供：インテル）

チップとの移動コストが電気信号の移動コストより高くなるからだ。少数のフォトニックチャネルはレンズを通してチップ表面に結合できるが、ワイヤボンディングのような簡単に集積できるフォトニック技術は存在しない。フラー氏は実装を「コストのブレークスルーが必要になるわれわれの最後の開拓分野だ」と語っている。

フォトニクスとエレクトロニクス

インテルの昨年の成果はフォトニクスとエレクトロニクスの集積化に向けての重要な実証であった。インテルのフォトニクス技術研究所長を務めるマリオ・パニッシア氏（Mario Paniccia）は昨夏のインタビューのときに、「このSiフォトニクス集積回路は最初の端末間リンクだ」と語っている[4]。

実験は集積化した4チャネル粗密度波長分割多重（CWDM）送信機と受信機を光ファイバで接続して行われた。送信機は1291、1311、1331および1351 nmの波長を発光する四つのリン化インジウム/Siのハイブリッドレーザで構成されている。それぞれの光は個別の導波路光変調素子に伝達され、四つの光変調素子からの光は合波器へ伝達され、四つの信号が混合される。次に、混合された信号は光学モード変換器を通して、特殊なコネクタに内蔵された光ファイバに入る。受信機チップ内の光導波路は信号を捕集し、四つのCWDM光チャネルを分離する分波器へ伝達する。分波された信号は個別のSi-Geフォトダイオードへ伝達される。このシステムの冷却は、能動方式ではなく、受動方式のヒートシンクを用いて行われた。

それぞれの波長で10Gbpsを伝送すると、このシステムは6.2dB以上の平均受信パワーに対して10^{-12}以下のビット誤り率を示し、同時に動作する4チャネルの平均受信パワーは1mW（−6.2 dBm）であった。インテルの研究グループが50Gbpsの全体ビット速度を得るために、送信機を12.5Gbpsで動作させて測定した三つのチャネルのビット誤り率は10^{-12}以下であったが、4番目のチャネルの誤り率は3×10^{-10}であった。インテルが発表したポストデッドラインの論文は使用したファイバの種類を記述していないが、このような速度で最高50mの距離の伝送に適したマルチモードファイバを使用したと推定される[5]。

将来展望

集積Siフォトニクスに基づく光相互接続は、長距離ファイバ伝送用に開発された技術の合理的な拡張になる。短い伝送距離は性能に関係する制約条件の多くが緩和される。開発者たちはコンピュータに加えて、移動体エレクトロニクスと自動車への応用の可能性を議論している。しかし、バックプレーンから回路基板への拡張とチップ自体での利用には新しい課題が生まれ、とくにコストおよびSi作製技術との互換性が挑戦課題になる。また、エネルギーの制約条件はさらに難題となり、とくに移動体デバイスでは難しくなる。

集積フォトニクスだけでエネルギー消費を低減し、高性能コンピューティングの驚くべき高速度の進歩を維持することは不可能であろう。並列コンピューティングでも同様である。NRC委員会はCMOS回路も10年以内に制約条件になると記述している。われわれは電子回路の新しい方式、つまり、フォトニクスとエレクトロニクスの新しい集積化を必要としているようだ。

参考文献

(1) S.E. Miller, “Integrated Optics-An Introduction,” Bell System Technical Journal, 48, 2059-2069（September 1969）.
(2) S. H. Fuller and L.I. Millett, eds., The Future of Computing Performance: Game Over of Next Level?, National Research Council（2010）, http://bit.ly/eR0e0A.
(3) MIT Microphotonics Center, “Scaling Limits and Energy; CTR III White Paper #1”（June 2010）.
(4) R. Won, “Integrating silicon photonics,” Nature Photon., 5, 498-499（August, 2010）.
(5) A. Alduino et al., “Demonstration of a high-speed 4-channel integrated silicon photonics WDM link with hybrid silicon lasers,” Optical Society of America Integrated Photonics Research Silicon and Nanophotonics, Monterey, CA, paper PD1W15（July 25, 2010）; http://bit.ly/e8zGqi.

LFWJ