ビット当たりサブピコジュールのCMOSシリコンフォトニック受信機

シュエジェ・チェン、ロン・ホー、ティエリー・パンゲ、アショク・V・クリシュナムーアタイ

ハイブリッド集積全CMOS光受信機は将来のチップ間とチップ内のインターコネクションに向けて大きく進歩している。

高性能デジタルコンピュータシステムは速度と容量の拡大が続き、ごく最近では処理コア数も増加している。さらなる拡大には高密度で広帯域の大規模インターコネクションばかりでなく、パッケージとシステムの両方のコスト効果の高い熱除去を実現する難しさを克服する超高効率通信リンクも必要になる[1]。その結果、将来のシステムにはサブピコジュール/ビットの通信リンクが必要になる。シリコン(Si)フォトニクスデバイスの独自な利点を利用すると、チップ内とチップ間の用途に有望な解決策としてのフォトニックインターコネクトが可能になる。しかしながら、超低パワーの端末間Siフォトニックリンクは未だに実証されていない。

エネルギー効率に優れた光受信機は低パワーフォトニックリンクの重要なビルディングブロックの一つになる(p.35の「低パワー光受信機に関する従来の研究」を参照)。低パワー光受信機は三つの中核部品、すなわち、高い感度と低い寄生効果(回路設計に及ぼす意図しない静電容量や抵抗の影響)をもつ高速光検出器、パワー効率のよい大規模集積(VLSI)受信機回路および低い寄生効果をもつ集積部品が必要になる。

われわれはピコジュール/ビット受信機の障壁を破るために、これら三つのすべてを改善した。基板とその他のパラメータの要求とは異なるため、われわれは二つの異なるプラットホームを使用して導波路光検出器および関連するCMOS受信機回路を作製した。特殊な低寄生微小はんだ技術を用いてフォトニックデバイスとCMOS回路チップを集積し、ハイブリッド「CMOSフォトニックブリッジ」を形成した。この配置は局所通信のための電気インタフェースともう一つのチップとのグローバル配線をファイバまたは導波路を通して行う光アクセス機能を備えている。

CMOS Ge導波路光検出器

われわれはゲルマニウム(Ge)オンSiの単一ステップ低温成長を用いて、エバネセント結合によるGe *p-i-n*導波路ダイオードを開発した[5]。このフォトダイオード導波路には光入力用の回折格子を集積した(**図1**)。その作製には米ラクステラ社(Luxtera)のGe適用オプトエレクトロニクス技術と米フリースケール社(Freescale)のHIP7 Siオンインシュレータ(SOI)130nm CMOSノードを組合せて使用した。このGe検出器は非常に小型で、約1.5×15μmのサイズを持つ。特性評価では、1550nmにおける0.7A/Wの高い感度、25℃における3μAの低い暗電流、そして0.5Vの逆バイアスを持つことが示された。1Vの逆バイアスでは、検出器には20fF以下の非常に低い静電容量と10GHz

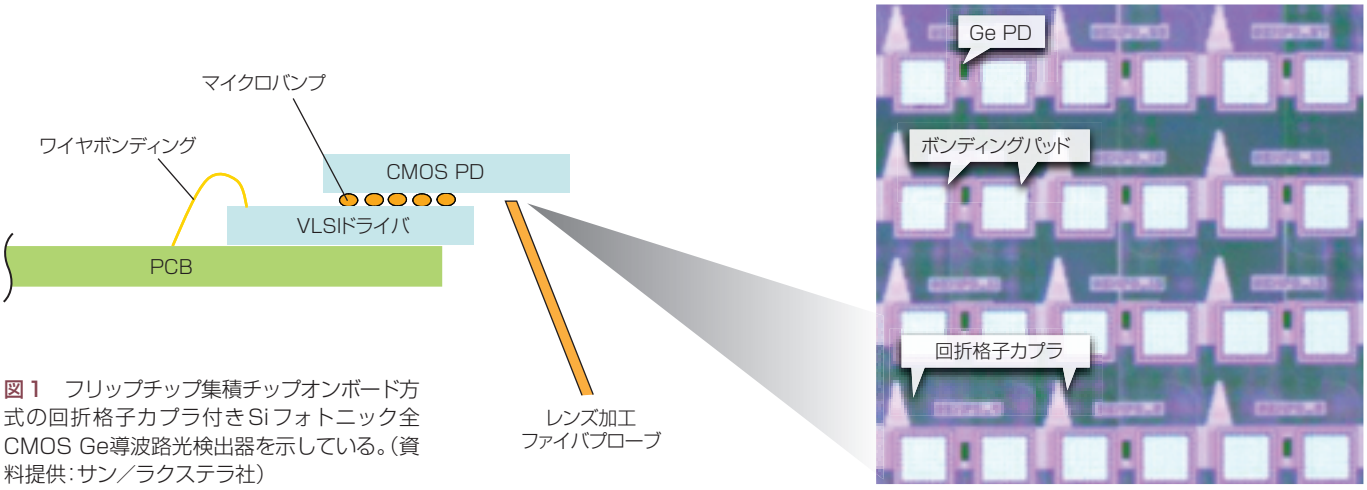

図1 フリップチップ集積チップオンボード方式の回折格子カプラ付きSiフォトニック全CMOS Ge導波路光検出器を示している。(資料提供:サン/ラクステラ社)

低パワー光受信機に関する従来の研究

低パワー光受信機の開発は1980年代の初めから行われている。初期の研究ではIII - V化合物半導体検出器とCMOSトランスインピーダンスアンプ（TIA）を集積して、約3pJ/bitの受信機感度が達成された[2]。Si CMOS互換検出器とCMOS TIAをモノリシック集積した受信機は1Gbpsにおいて1.5pJ/bitの高いエネルギー効率が実証された[3]。さらにDC平衡入力データを用いることで、新しい低パワー回路の研究が可能になった。離散PIN検出器とTIAの結合が可能になり、寄生負荷の大幅な減少とTIAバイアスの簡素化が実現され、感度は若干減少したが、光受信機は10Gbpsにおいて1pJ/bitのエネルギー効率が達成された[4]。

以上の−3dB帯域幅が得られた。このGe-PIN導波路検出器の優れた品質を利用すると、高い感度を持つ高速受信機の設計が可能になる。

CMOS VLSI受信機チップ

光受信機は変調された光信号から電気デジタル信号への変換を行うが、そこでは前面にある光検出器が光信号を光電流として受信する。標準的なトランスインピーダンスアンプ（TIA）は、まず光電流信号を電圧に変換し、次に多重制限増幅器を用いて電圧信号をさらに増幅し、下流のデジタル回路による「1」または「0」の二値論理の識別を可能にする。優れたエネルギー効率を確保するために、われわれは三段TIA方式による低パワー受信機の設計を採用し、その後段にはクロック検出増幅器を配置した[6]。三段TIAからは約1×10^4の全体利得が生成され、10μAの入力信号に対して100mVの出力電圧が得られた。また、検出器と回路の両方からの残留熱雑音と検出増幅器内部のトランジスタ不整合に対して十分な信号対雑音比も得られた。三段TIAの後段に配置した簡単でパワー効率のよいクロック検出増幅器を用いてTIA出力の増幅を行い、フルスイングレベルのCMOS信号が得られるようにした。算出した入力参照雑音電流は1.1μAであった。

従来の光受信機はアナログフィルタによるフィードバックを用いてTIAバイアスを制御し、適切な値を設定するが、この方法は信号パワーの消費が大きい。また、DC平衡データが必要になり、余分の大きなエネルギーのオーバヘッドがリンク全体のパワー消費に付加され、8B/10B DC平衡符号化では25%の追加になる。このオーバヘッドを最小にするために、われわれは大域同期リフレッシュ動作に基づくデジタルフィードバック方式を採用してTIAバイアスを正確に設定した[6]。また、TIAバイアスを周期的にリフレッシュして周囲の環境変化と部品の経年変化から生じる信号パワーの変動を克服し、DC平衡データの伝送を不要にした。その結果、リフレッシュオーバヘッドは1%以下に減少したと推定される。

低寄生ハイブリッド集積

低寄生微小はんだ接着技術を用いて受信機と検出器を集積した。この方法は、まず化学めっきを用いて、Ge光検出器とVLSIチップにアンダーバンプメタライゼーション（UBM）を追加する。次にUBM加工を施した検出器チップ上のパッドに、低くて小さなフットプリントの微小はんだバンプを数μmの垂

EOT

お探しの受信機は有りますか?

レーザーを用いた実験でお困りの方はいらっしゃいませんか?

環境・経時劣化によるレーザー光軸ズレに伴う光学系調整・・・・

不安定なレーザー発振器に伴う実験系の補正・・・・

安定したレーザー加工・・・・

小型・堅固・簡易に取扱えるEOT社受信機は、

- 簡易レーザーモニター
- 高繰返し・短パルスモニター
- TTLレベルモニター

として、必ず貴方の実験にお役に立ちます。

※データーシート、セレクションガイドは弊社ホームページをご参照下さい。
※ファイバー入力、AC駆動対応も可能です。

http://www.japanlaser.jp/

E-mail: indus@japanlaser.jp

JLC JAPAN LASER 株式会社日本レーザー

本　　社
〒169-0051 東京都新宿区西早稲田2-14-1
TEL: 03-5285-0863（直）
大阪支店 TEL: 06-6323-7286
名古屋支店 TEL: 052-205-9711

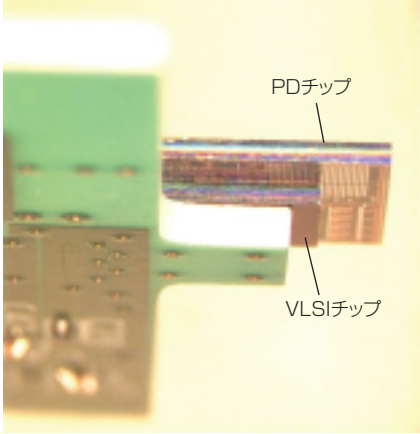

図2 チップオンボードに実装されたハイブリッド全CMOS受信機を示している。(資料提供:サン/ラクステラ社)

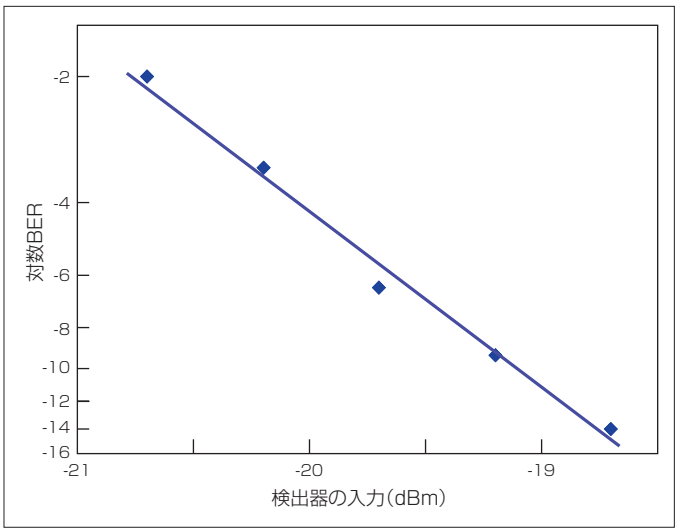

図3 開発した光受信機は10^{-12}のBERにおいて約−18.9dBmの感度が得られる。

直精度で取付ける。さらに熱圧縮技術を用いて、二つのチップのフリップチップ接合による一体化を行う。この微小はんだ接続の電気抵抗は1Ω以下、接合パッドと微小はんだバンプによる寄生容量は20fF以下であった。

このハイブリッドチップアセンブリは、パワー、制御および高速デジタルI/O接続用の試験プリント基板(PCB)にダイアタッチされ、ワイヤボンディングが施される(**図2**)。

全CMOSフォトニック受信機

われわれは5Gbpsの$2^{31}-1$ PRBSデータで駆動する市販の光送信機を用いて、この集積受信機の性能を評価した。レンズ加工ファイバと回折格子カプラを用いて、変調された光信号を検出器へ結合し、受信機をクロックデジタルリンクに組込んだ。高速の外部クロックをチップに注入し、検出増幅器で入力データと整列化させ、それを受信機の後段に接続した高速バッファを通過したデジタルデータのクロックとして用いた。

われわれは受信した18μAの平均光電流(0.7A/Wの検出器感度に対する−16dBmの光パワーと等価)の光信号を用いて、6時間以上にわたる誤りなし動作を行い、10^{-14}以上のビット誤り率(BER)が得られることを確認した。また、異なる平均入力パワーに対する受信機BERも測定した。その結果、受信機は10^{-12}のBERにおいて−18.9dBmの感度をもつことが分かった。さらに、動作時に供給する電圧と電流を測定し、受信機の全消費電力は3.45mW(または690fJ/bit)の記録的に低い値になることを確認した。この値には光検出器とそのCMOS受信機に加えて、内部の配線とフリップチップパッドを含めた寄生回路の駆動に必要なすべての付加電力消費も含まれる[7]。要約すると、われわれは高い感度、低い寄生容量、高いパワー効率のVLSI受信機回路で構成されたハイブリッド高速Ge光検出器を開発し、今までの最低記録になるビット当たりエネルギーを実証した。

謝辞

この研究の一部は米防衛高等研究計画局(DARPA)の研究助成(契約番号HR0011-08-09-0001)を受けて実施した。著者らは貴重な助言と支援を受けたDARPAマイクロシステム技術局(MTO)のジャグ・シャー氏(Jag Shah)に感謝する。また、オラクル(Oracle)メンロパークのサン研究所(Sun Lab)のディネシュ・パティル氏(Dinesh Patil)、フランキー・リュー氏(Frankie Liu)、ジョン・レキザウ氏(Jon Lexau)、オラクル・サンディエゴのサン研究所のヒレン・サッカー氏(Hiren Thacker)、イーン・リオ氏(Ying Luo)、クオリーン・リー氏(Guoliang Li)、ジン・ヤーオ氏(Jin Yao)、カンナン・ラジ氏(Kannan Raj)、ジョン・E・カニンガム氏(John E. Cunningham)の諸氏およびラクステラ社のアッティラ・メキス氏(Attila Mekis)の研究支援に感謝する。この論文/発表に含まれる意見、主張または所見は、著者/発表者のものであり、DARPAまたは米国防総省の公式意見や方針を表していると解釈されるべきではない。この論文の公開は承認を受けており、掲載に関する制約はない。

参考文献

(1) A.V. Krishnamoorthy et al., Proc. IEEE, 97, 7, 1337-1361(2009).
(2) T.K. Woodward and A.V. Krishnamoorthy, IEEE J. Special Topics in Quant. Electron., 5, 2, 146-156(1996).
(3) T.K. Woodward and A.V. Krishnamoorthy, Electron. Lett., 34,1252-1253(1998).
(4) D. Guckenberger et al., Proc. IEEE Radio Freq. Int. Circuits Conf., 309-312(June 2005).
(5) G. Masini et al., Proc. LEOS, 848-849(2007).
(6) R. Ho et al., "Circuits for silicon photonics on a 'macrochip,' IEEE Asian Solid-State Circuits Conf. 2009, Industry Session 1-3(November 2009).
(7) X. Zheng et al., Opt. Exp., 18, 1, 204-211(2010).

著者紹介

シュエジェ・チェン(Xuezhe Zheng)とアショク・V・クリシュナムーアタイ(Ashok V. Krishnamoorthy)はオラクル・サンディエゴのサン研究所に、ロン・ホー(Ron Ho)はオラクル・メンロパークのサン研究所(e-mail: xuezhe.zheng@oracle.com)に、ティエリー・パンゲ(Thieery Pinguet)はラクステラ社に所属している。

LFWJ